

04588750    \*\*Image available\*\*

THIN-FILM TRANSISTOR AND ITS MANUFACTURE

PUB. NO.: **06-260650** [JP 6260650 A]

PUBLISHED: September 16, 1994 (19940916)

INVENTOR(s): CHIYOU KOUYUU

                  TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company  
                  or Corporation), JP (Japan)

APPL. NO.: **05-071103** [JP 9371103]

FILED: March 05, 1993 (19930305)

INTL CLASS: [5] H01L-029/784; H01L-021/266; H01L-021/324; H01L-027/092

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
                  Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion  
                  Implantation)

JOURNAL: Section: E, Section No. 1644, Vol. 18, No. 661, Pg. 32,  
                  December 14, 1994 (19941214)

**ABSTRACT**

PURPOSE: To prevent the deterioration of the coverage at the end of the semiconductor region of a gate insulating film and prevent the drop of reliability and deterioration of yield rate and property by having a substantially intrinsic region in contact with the semiconductor region, in the semiconductor region at the section where the gate electrode is not provided.

CONSTITUTION: Since one part of an island-shaped semiconductor region has become an intrinsic semiconductor region, the resistance is high, and this resistor R is inserted in series into a parasitic TFT, and it become such structure that the voltage of a source and a drain is not applied directly to the parasitic TFT. Moreover, in the case that a region of the same conductivity type as a channel formation area is provided, the conductivity type is reverse to that of the source and drain, so a barrier equivalent to a resistor is formed by PN junction. Accordingly, even if excessive voltage is applied to the gate electrode, the voltage is reduced by the resistor inserted in series to the source and drain of the parasitic resistor, and the parasitic TFT is not broken, and the drop of reliability and the deterioration of yield rate and property can be solved.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-260650

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 01 L 29/784				
21/266				
21/324	Z 8617-4M	9056-4M	H 01 L 29/ 78	3 1 1 R
		8617-4M	21/ 265	M
			審査請求 未請求 請求項の数 4 FD (全 6 頁) 最終頁に続く	

(21)出願番号 特願平5-71103

(22)出願日 平成5年(1993)3月5日

(71)出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

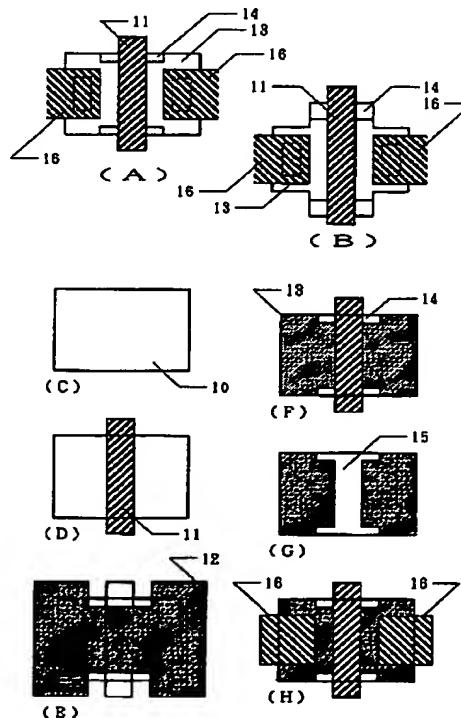
(72)発明者 張 宏勇  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72)発明者 竹村 保彦  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 薄膜トランジスタおよびその作製方法

(57)【要約】

【目的】 薄膜トランジスタにおいて、ゲート電極・配線と薄膜半導体領域（活性層）との間の信頼性を向上させ、特性の改善を図る。

【構成】 島状の薄膜半導体領域の端部、特にゲート電極が横断する部分に隣接する領域を真性半導体もしくはチャネル形成領域と同じ導電型とすることにより、この部分でのゲート絶縁膜の破壊を防止する。



## 【特許請求の範囲】

【請求項1】 島状の薄膜半導体領域と、前記半導体領域を横断するゲート電極とを有する薄膜トランジスタにおいて、前記ゲート電極が設けられていない部分の半導体領域において、半導体領域の周辺に接する実質的に真性な領域を有することを特徴とする薄膜トランジスタ。

【請求項2】 島状の薄膜半導体領域を形成する工程と、前記薄膜半導体領域を横断してゲート電極を形成する工程と、前記半導体領域の端部を含む領域であり、該領域にはゲート電極の一部が含まれている領域をマスクして前記薄膜半導体領域に不純物を導入してソース、ドレイン領域を形成する工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項3】 請求項2において、不純物導入後、該マスクを用いて、該薄膜半導体領域表面を露出する工程と、その後、レーザーもしくはそれと同等な強光を照射する工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項4】 島状の薄膜半導体領域と、前記半導体領域を横断するゲート電極とを有する薄膜トランジスタにおいて、前記ゲート電極が設けられていない部分の半導体領域において、半導体領域の周辺に接する領域の導電型がチャネル形成領域と実質的に同じであることを特徴とする薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ(TFT)の構造および作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。

## 【0002】

【従来の技術】 従来、薄膜トランジスタは、薄膜半導体領域(活性層)を島状にパターニングして、形成した後、ゲート絶縁膜として、CVD法やスパッタ法によって絶縁被膜を形成し、その上にゲート電極を形成した。

## 【0003】

【発明が解決しようとする課題】 CVD法やスパッタ法で形成される絶縁被膜はステップカバレージ(段差被覆性)が悪く、信頼性や歩留り、特性に悪影響を及ぼしていた。図3には従来の典型的なTFTを上から見た図、およびその図面のA-A'、B-B'に沿った断面図を示す。TFTは基板31上に形成され、薄膜半導体領域は不純物領域(ソース、ドレイン領域、ここではN型の導電型を示す)33とゲート電極37の下に位置し、実質的に真性のチャネル形成領域32に分けられ、この半導体領域を覆って、ゲート絶縁膜35が設けられる。不純物領域33には、層間絶縁物39を通してコンタクトホールが開けられ、電極・配線38が設けられる。

## 【0004】 図から分かるように、ゲート絶縁膜35の

半導体領域の端部における被覆性は著しく悪く、典型的には平坦部の厚さの半分しか厚みが存在しない。一般に島状半導体領域が厚い場合には甚だしい。特にゲート電極に沿ったA-A'断面からこのような被覆性の悪化がTFTの特性、信頼性、歩留りに及ぼす悪影響が分かる。すなわち、図5のA-A'断面図において点線円で示した領域36に注目してみれば、ゲート電極37の電界が薄膜半導体領域の端部に集中的に印加される。すなわち、この部分ではゲート絶縁膜の厚さが平坦部の半分であるので、その電界強度は2倍になるためである。

【0005】 この結果、この領域36のゲート絶縁膜は長時間のあるいは高い電圧印加によって容易に破壊される。ゲート電極に印加される信号が正であれば、この領域36の半導体もN型であるので、ゲート電極37と不純物領域38(特に、ドレイン領域)が導通してしまい、信頼性低下の原因となる。

【0006】 また、ゲート絶縁膜が破壊された際には、何らかの電荷がトラップされることが起こり、例えば、負の電荷がトラップされれば、ゲート電極に印加される電圧にほとんど関わりなく、領域36の半導体はN型を呈し、2つの不純物領域38が導通することとなり、特性を劣化させる。また、以上のような劣化を引き起こさずにTFTを使用するには、理想的な場合の半分の電圧しか印加できず、性能を十分に利用することができない。

【0007】 また、TFTの一部にこのような弱い部分が存在するということは製造工程における帯電等によって容易にTFTが破壊されることであり、歩留り低下の大きな要因となる。本発明はこのような問題を解決することを課題とする。

## 【0008】

【発明を解決するための手段】 本発明では、このように電気的に弱い領域の半導体を抵抗の高い真性半導体、あるいはチャネル形成領域と同じ導電型とすることによって補うことを特徴とする。本発明の典型的な構造を図1に示す。図1(A)に示すように、本発明では、島状半導体領域の端部でゲート電極11が横断する部分の近傍において、従来のTFTでは不純物領域(ソース、ドレイン)とされていた部分に真性の領域もしくはチャネル形成領域と同じ導電型の領域14を設けた。すなわち、本発明のTFTでは、島状半導体領域において、ゲート電極で覆われていない部分に関して、不純物がドーピングされた不純物領域(ソース、ドレイン)13以外に、実質的に真性な領域もしくはチャネル形成領域と同じ導電型の領域14が存在する。

【0009】 図1(B)には、本発明の別な例を示すが、島状半導体領域の形状が違うだけで、実質的な構造は図1(A)と同じである。なお、図中の16はソース、ドレインに接続する電極を示す。

【0010】 このように、真性な領域14もしくはチャ

ネル形成領域と同じ導電型の領域が設けられたことの効果は図4で説明される。図4 (A) は従来のTFTの構造および等価回路を示す。図中のX、Yは島状半導体領域をゲート電極が横断する部分であるが、この部分のゲート絶縁膜は先に述べた通り、平坦な部分よりも薄い。したがって、等価回路に示すように本来のTFTよりもしきい値や耐圧の低い寄生TFTが形成されている。

【0011】もし、ゲートに過大な電圧が印加されると、本来のTFTが破壊される前に、この寄生TFTが破壊されて、寄生TFTは単なる導体となり、ソース、ドレイン間、もしくはソース、ゲート間のリーク電流が増大する。

【0012】一方、本発明は図4 (B) に示すような構造、および等価回路である。本発明においても寄生TFT、X、Yが形成されるのは従来の場合と同様である。しかしながら、本発明では島状半導体領域の一部が真性半導体領域となつたために抵抗が高く、この抵抗Rは寄生TFTに直列に挿入されて、ソース、ドレインの電圧が直接、寄生TFTに印加されない構造となる。また、チャネル形成領域と同じ導電型の領域を設けた場合には、その導電型はソース、ドレインとは逆であるので、PN接合によって抵抗と同等なバリアが形成される。

【0013】したがって、過大な電圧がゲート電極に印加された場合においても、寄生抵抗のソース、ドレインに直列に挿入された上記の抵抗によって電圧が減じられ、寄生TFTが破壊されることがない。この結果、従来のTFTにおいて問題となつた信頼性の低下、歩留り、特性の劣化は解決される。

【0014】本発明を実施する工程を図1 (C) ~ (H) を用いて簡単に説明する。まず、基板上に島状半導体領域10を形成する。通常はこの半導体領域は実質的に真性であるが、弱いN型もしくはP型であつてもよい。(図1 (C))

【0015】そして、ゲート絶縁膜を形成した後、図1 (D) に示すようにゲート電極11を設ける。その後、図1 (E) に12で示すように不純物を注入する。この結果、図1 (F) のように、不純物領域13と不純物領域とゲート電極で挟まれた領域14が形成される。領域14は2~5μmのディメンジョンで示される領域とすると好ましい。この領域の導電型は島状半導体の導電型と同じで、島状半導体が真性であれば、この領域14も真性であり、典型的な抵抗率は10<sup>6</sup>Ωcm以上である。

【0016】図1 (G) には、図1 (F) で示されたTFTのゲート電極を除去した様子を示す。この図から明らかに、チャネル形成領域15と図1 (F) で示した領域14の導電型は同じである。最後にソース、ドレインに電極16を形成してTFTが完成する。(図1 (H))

【0017】本発明においては、例えば、基板上にNチ

ヤネル型もしくはPチャネル型のどちらか一方のTFTだけを形成する場合にはフォトリソグラフィーの工程が1つ増加するが、このことは、本発明によって得られる特性、信頼性、歩留りの向上を勘案すれば何ら障害とはならない。

【0018】さらに、本発明をNチャネル型とPチャネル型のTFTが混在する相補型回路(CMOS回路)に適用するとその効果はより明らかになる。CMOS回路においては、最も簡単な作製方法は、最初にN型もしくはP型の不純物を基板全面に導入し、ついで、必要な箇所をマスキングして、先に導入された不純物を打ち消すだけの逆の導電型の不純物を導入するものである。この方法を仮に第1の方法と称する。しかしながら、この第1の方法では、例えば、N型領域は1×10<sup>15</sup>cm<sup>-2</sup>のドーズ量であるのに、P型領域は、5×10<sup>15</sup>cm<sup>-2</sup>のドーズ量が要求され、耐圧、しきい値等においてNチャネル型TFTとPチャネル型TFTのバランスが取れないことがあった。

【0019】もっとも、確実な方法は、最初にマスキングを施して、N型もしくはP型不純物を導入し、次に再びマスキングを施して先の不純物の逆の導電型の不純物を導入する方法である。この方法を第2の方法と称する。この場合には、N型不純物とP型不純物の濃度を全く独立に設定できるのでCMOS回路として理想的な特性を期待できる。しかし、この場合には、第1の方法に比べてフォトリソグラフィー工程が1つ追加されることとなる。

【0020】本発明をCMOS回路において、N型、P型両TFTに実施しようとすれば、N型不純物とP型不純物を別々にマスキングして導入せざるをえない。したがって、上記2つの方法のうちの第2の方法を採用することとなる。第2の方法は、製造工程が複雑になるのであるが、得られる特性が優れたものであることは先に説明した通りである。そして、その効果に加えて本発明の効果が得られるのであるから、フォトリソグラフィー工程が1つ追加されることのデメリットは完全に打ち消されてしまう。以下には、特にCMOS回路を作製する上で、本発明を実施する場合について実施例を示す。

【0021】  
40 【実施例】図2に本実施例の作製工程の断面図を示す。基板(コーニング7059)20上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。引き続き、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを還元雰囲気下、600℃で48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜をバターニングして、島状シリコン領域22P、22N

を形成した。

【0022】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜23をゲイト絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.01~2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をバターニングして、ゲイト電極24P、24Nを形成した。(図2(A))

【0023】次に、半導体領域22Pをフォトレジスト25Nでマスクして、プラズマドーピング法によって、シリコン領域22Nに配線24Nをマスクとして不純物(燐)を注入した。マスク25の材料としては、この他にもクロム、チタン、窒化チタン、アルミニウム等の金属材料、金属窒化物材料も使用できる。ドーピングのパターンは図1(E)に示されるような形状とした。ドーピングガスとして、fosfwin( $\text{PH}_3$ )を用い、加速電圧を60~90kV、例えば80kVとした。ドース量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $1 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域26Nが形成された。ドーピング終了後、レジストマスク25Nは酸素雰囲気中のアッシング(灰化)工程によって除去された。典型的なアッシング条件は1Torr、RFパワー300Wであった。

【0024】また、後で、レーザーによって活性化をおこなう場合には、レジストマスクを除去する前に、フッ化水素酸によって、シリコン領域22N上の酸化珪素23を選択的に除去するとよい。これは、レーザー照射時に、酸化珪素23とシリコン領域22Nが反応することによって表面に凹凸が生じることを防止する上で効果的である。(図2(B))

【0025】さらに、今度は、半導体領域22Nをフォトレジスト25Pでマスクして、プラズマドーピング法によって、シリコン領域22Pに配線24Pをマスクとして不純物(ホウ素)を注入した。この場合もドーピングのパターンは図1(E)に示されるような形状とした。ドーピングガスとして、ジボラン( $\text{B}_2\text{H}_6$ )を用い、加速電圧を20~70kV、例えば65kVとした。ドース量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $1 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、P型の不純物領域26Pが形成された。ドーピング後、レジストマスク25Pはアッシング工程によって除去された。(図2(C))

【0026】その後、還元雰囲気中、600°Cで48時間アニールすることによって、不純物を活性化させた。

この工程はレーザーアニールによっておこなってよい。その場合には、レーザーとしてはKrFエキシマーレーザー(波長248nm)、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用い、レーザーのエネルギー密度は、200~350mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>とし、1か所につき2~10ショット、例えば2ショット照射すればよい。レーザー照射時に、基板を200~450°C程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。

【0027】不純物の活性化後、続いて、厚さ3000~10000Å、例えば6000Åの酸化珪素膜27を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線28P、28Nを形成した。以上の工程によってCMOSの半導体回路が完成した。(図2(D))

#### 【0028】

【発明の効果】本発明によって、TFTの歩留りを向上させ、また、その信頼性を高め、最大限の特性を引き出すことが可能となった。しかも、かように大きな効果を得るに際して、特に大きなプロセス変更や投資、技術開発を伴わないで実施できることのメリットは大きい。本発明では絶縁基板上のTFTを例にとって説明したが、単結晶半導体基板上に形成されるTFTにも実施できることは言うまでもない。このように本発明は工業上、有益な発明である。

#### 【図面の簡単な説明】

【図1】 本発明のTFTの構成および作製方法の概念図を示す。

【図2】 実施例のTFTの作製工程断面を示す。

【図3】 従来のTFTの構成例を示す。

【図4】 本発明および従来のTFTの電気特性を説明する。

#### 【符号の説明】

10 10...島状半導体領域

11 11...ゲイト電極

40 12 12...不純物導入領域

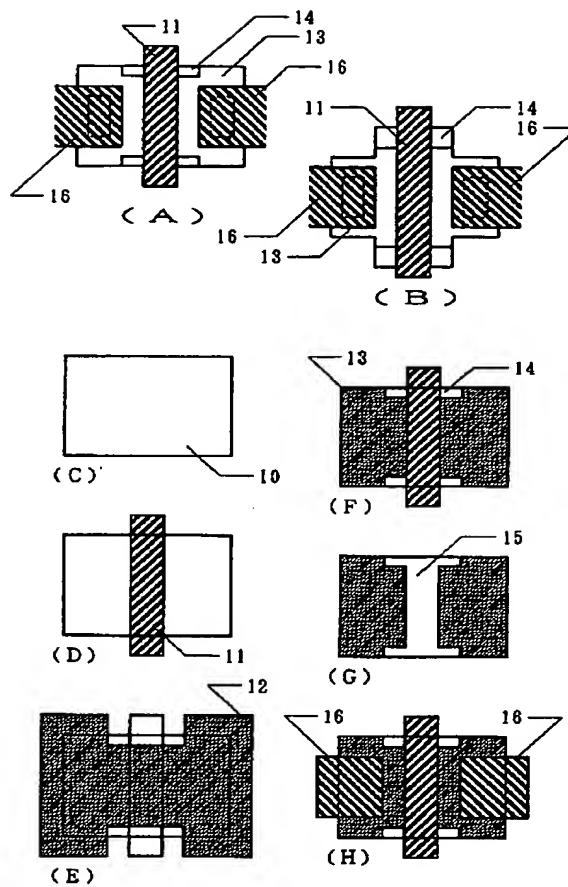
13 13...不純物領域(ソース、ドレイン)

14 14...不純物の導入されなかった領域

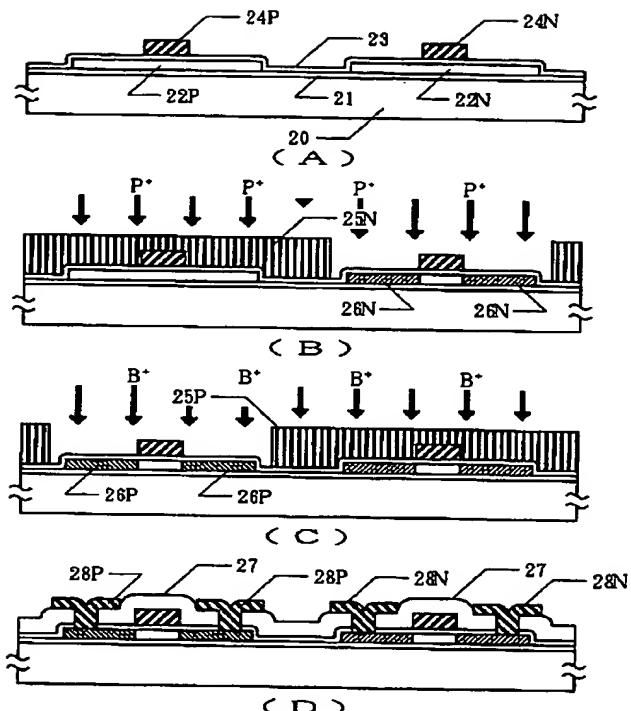
15 15...チャネル形成領域

16 16...ソース電極、ドレイン電極

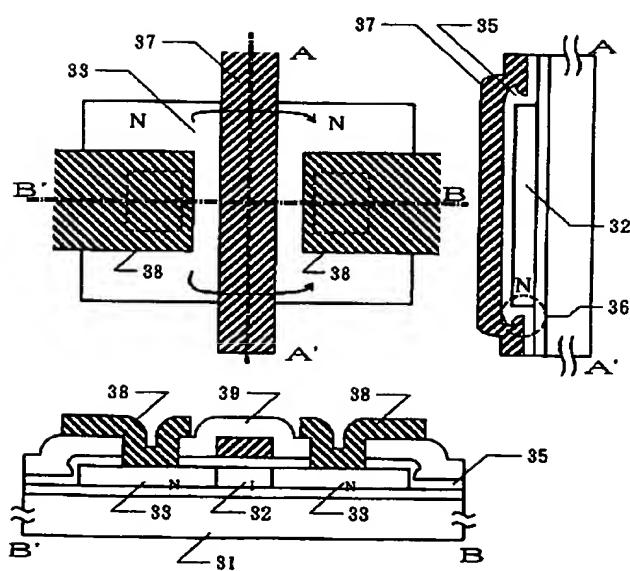
【図1】



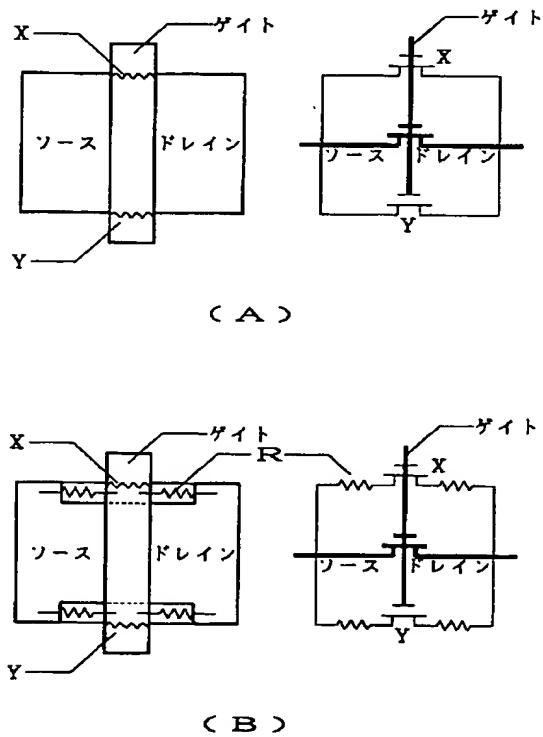
【図2】



【図3】



【図4】



フロントページの続き

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/092				
	9170-4M	H 0 1 L	27/08	3 2 1 B
	9056-4M		29/78	3 1 1 G